

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

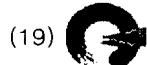
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

000067076 A

number:

(43) Date of publication of application:

15.11.2000

(21) Application number: 990014572

(71) Applicant:

(22) Date of filing: 23.04.1999

SAMSUNG ELECTRONICS
CO., LTD.

(72) Inventor:

KANG, U TAK

(51) Int. Cl

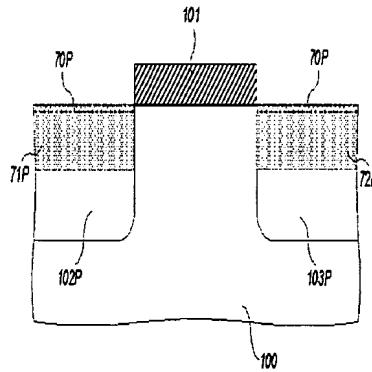
H01L 29/78

(54) FIELD EFFECT TRANSISTOR WITH HALO STRUCTURE AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: A field effect transistor with a HALO structure and a method for manufacturing the same are provided to adapt a HALO structure without a photo mask work.

CONSTITUTION: A field effect transistor with a HALO structure and a method for manufacturing the same comprise the steps of forming a second conductive well for forming a first conductive transistor and a first conductive well for forming a second conductive transistor. The method further comprises the steps of: injecting impurity for preventing a punch through; forming a gate electrode of a first and a second conductive field effect transistor on a semiconductor substrate(100); forming a first density diffusion area of the second conductive type; forming a first gate spacer(120,121,122) on both side walls of the gate electrode; and injecting a first conductive impurity HALO ion on a front face of a first and a second conductive well.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19990423)

Final disposal of an application (registration)

Date of final disposal of an application (20020130)

Patent registration number (1003360400000)

Date of registration (20020426)

〈제14기록과자인〉

출력 일자: 2004/3/29

2014.09.13

발송번호 : 9-5-2004-011482905

발송일자 : 2004.03.26

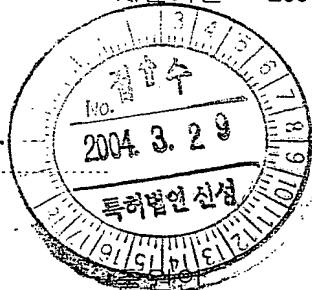
제출기일 : 2004.05.26

수신 : 서울 강남구 역삼1동 741-40 해천빌딩 2

층 특허법인 신성

특허법인 신성[정지원] 귀하

135-924



특허청

의견제출통지서

명칭 주식회사 하이닉스반도체 (출원인코드: 119980045698)

주소 경기 이천시 부발읍 애미리 산136-1

대리인

명칭 특허법인 신성

주소 서울 강남구 역삼1동 741-40 해천빌딩 2층 특허법인 신성

지정된변리사 정지원 외 2명

출원번호

10-2002-0029020

발명의 명칭

씨모스트랜지스터 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-21항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

이 출원은 발명의 상세한 설명의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제3항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

[아래]

1. 본원의 청구항 제1-21항에 기재된 발명은 반도체기판, 게이트전극, 스페이서, 소스드레인영역 및 그 확장영역, LDD영역, 제2도전형 편치스탑층을 포함하는 반도체소자 및 그 제조방법을 그 기술적 특징으로 기재하고 있으나, 이는 한국 공개특허공보 2000-67076호(2000.11.15)의 게이트, 스페이서, 저농도드레인층, 할로층, 편치스루방지층, 카운터도핑층의 구성으로부터 동 분야에서 통상의 지식을 가진 자가 용이하게 발명할 수 있는 정도의 것으로 인정됩니다.

(특허법 제29조 제2항)

2. 본원 발명의 상세한 설명에는 동 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 본원 발명을 명확하게 기재하고 있지 않습니다.

(예: 종래기술설명에서 3도의 설명이 불명료)

(특허법 제42조제3항)

[첨부]

첨부1 한국공개특허공보 2000-67076호(2000.11.15) 1부. 끝.

출력 일자: 2004/3/29

2004.03.26

특허청

전기전자심사국

응용소자심사담당관실 심사관 황윤구



<<안내>>

문의사항이 있으시면 ☎ 042-481-5741 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

특 2000-0067076

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 29/78	(11) 공개번호 특 2000-0067076 (43) 공개일자 2000년 11월 15일
(21) 출원번호 10-1999-0014572	
(22) 출원일자 1999년 04월 23일	
(71) 출원인 삼성전자 주식회사 윤증용	
	경기도 수원시 팔달구 매탄3동 416
(72) 발명자 강우탁	
	경기도 성남시 분당구 야탑동 매화마을 208동 204호
(74) 대리인 임창현, 권혁수	
실사점구 : 있음	
(54) 할로 구조를 지난 전계 효과 트랜지스터 및 제조 방법	

요약

본 발명은 쌔모스 전계 효과 트랜지스터 및 그 제조 방법에 관한 것으로, 특히 단채널 게이트에 대해서도 양호한 편치 쓰루 내압 특성을 지닌 할로 구조를 구비한 전계 효과 트랜지스터 및 제조 방법을 제공한다.

본 발명은 웨이 형성 단계에서 진행되는 편치 쓰루 방지용 LIF(local implantation of field oxide) 미온 주입 또는 카운터 도우팅 미온 주입 프로파일의 평균 침투 거리를 후속하는 할로 미온 주입 프로파일의 평균 침투 거리와 일치시킴으로써, 종래의 기술과 달리 추가의 포토리소그래피 공정을 진행하지 않고 전계 효과 트랜지스터에 할로 구조를 적용하는 방법을 개시한다.

도표도

도 1a

도 1b

도 1c

할로, 편치 쓰루, 단채널, 항복 전압, 포켓 미온 주입.

도 1d

도면의 간접적 설명

제1a도 내지 제1e도는 본 발명의 양호한 실시예에 따른 할로 구조의 제조 방법을 나타낸 공정 단면도.

제2도는 본 발명의 양호한 실시예에 따라 제조된 P형 전계 효과 트랜지스터의 단면도.

제3도는 본 발명의 양호한 실시예에 따라 제조된 N형 전계 효과 트랜지스터의 단면도.

제4도는 본 발명의 양호한 실시예에 따라 제조된 셀 트랜지스터의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

70P : N형 전계 효과 문턱 전압 조절 미온 주입 층

71P, 72P : 편치 쓰루 방지용 LIF 층(붕소)

80P : P형 전계 효과 문턱 전압 조절 미온 주입 층

81N : 카운터 도우팅 층(비소)

82N : 편치 쓰루 방지용 LIF 층(인)

102P, 103P : P웨이

104N : N웨이

120, 121, 122 : 제1 게이트 스페이서

123P, 125P : 붕소 할로 미온 주입 층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 할로(HALO) 구조를 구비한 전계 효과 트랜지스터(field effect transistor; FET)의 제조 방법에 관한 것이다.

정부의 저장 매체가 고집적화하고 정보의 통신 매체가 고속화 및 경량화 할에 따라, 이를 부품의 주요 요소인 트랜지스터의 크기가 미세화되고 있다. 즉, 기가 비트급 이상의 반도체 메모리 장치를 구현하기 위하여, 전계 효과 트랜지스터의 게이트 길이는 딥 서브 해프 마이크론(deep-sub-half-micron) 큐으로 축소되고 있으며, 이동 통신 기기의 경량화에 따라 저전력 및 고속 동작의 트랜지스터의 개발이 요구되고 있다.

이와 같은 고집적 반도체 메모리 및 고속 동작의 스위칭 소자의 개발을 위하여는 트랜지스터의 크기는 더욱 극미세화되고 있다. 그러나, 전계 효과 트랜지스터의 게이트 길이를 축소시킬 경우, 종래의 게이트 길이가 비교적 긴 트랜지스터에서 볼 수 없었던 문제점들이 발생하게 된다.

마을 단채널 효과(short channel effect)라 일컬는데, 게이트 길이가 서브 해프 마이크론 수준으로 감소하면 트랜지스터의 채널 영역이 줄어들게 되어 트랜지스터의 문턱 전압(threshold voltage)이 감소하게 된다. 또한, 소스 및 드레인 사이의 누설 전류의 증가로 인하여 문턱 전압 전 스윙(subthreshold swing) 특성이 열화되어 트랜지스터의 온/오프 특성이 나빠진다.

더욱이, 게이트 길이가 축소하여 트랜지스터의 소스와 드레인의 근접하게 되면, 소스와 드레인의 공핍 영역이 서로 접근하게 되어 편지 쓰루(punch through)되는 현상이 발생할 수 있다. 그 결과, 전계 효과 트랜지스터는 소스 및 드레인 사이의 항복 전압(breakdown voltage) 특성이 저하되고, 게이트는 수직 방향의 전계 효과로써 트랜지스터를 온/오프 시키는 제어 능력을 상실하게 된다. 이것은 소스 및 드레인의 공핍 영역이 서로 연결되어, 게이트의 제어를 벗어나 소스와 드레인 사이에 전류가 도전하게 되는 결과이다.

이와 같은 소스와 드레인 사이의 편지 쓰루 문제를 개선하기 위하여 반도체 업계에서는 많은 연구를 진행하고 있다. 소스 및 드레인의 공핍 영역의 채널 영역으로의 침투를 방지하기 위해서는 게이트 하부의 채널 영역의 도우팅 농도를 증가시키는 방법이 이용될 수 있으나, 게이트 하부의 채널 영역의 도우팅 농도는 전계 효과 트랜지스터의 문턱 전압을 결정하므로 웨이팅 농도를 증가시킬 수 없다.

따라서, 트랜지스터의 문턱 전압을 결정하는 채널 영역의 도우팅 농도에는 영향을 주지 않으면서, 소스 및 드레인의 공핍 영역이 수평 방향으로 서로 근접하는 것을 방지하기 위한 할로(HALO) 구조가 고려되고 있다.

할로 구조는 소스와 드레인 주위에 반대 극성의 불순물을 미온 주입시키게 되는데, 전계 효과 트랜지스터의 소스 및 드레인 주변에 웨이팅 농도보다 높은 불순물 농도를 지닌 확산 영역을 에워싸도록 할로로써 소스와 드레인의 공핍 영역의 길이를 축소시킨다. 참고로, 반도체 접합의 공핍 영역의 길이는 도우팅 농도의 제곱근에 반비례한다.

할로 구조는 소스 및 드레인을 주머니로 감싸는 형태를 취하고 있으므로, 할로 구조 형성을 위한 미온 주입 단계를 포켓(pocket) 미온 주입이라고 부르기도 한다. 할로 구조의 형성 방법에 관한 종래 기술은 미합중국 특허 제5,534,449호 및 제5,395,773호 등에 상술되어 있다.

발명이 이루고자 하는 기술적 과정

그런데, 소스와 드레인 주변을 에워싸는 할로 구조는 소스 및 드레인의 공핍 영역이 채널 영역으로 침투하는 것을 억제하는 효과가 있으나, N형 전계 효과 트랜지스터의 할로 구조를 위해서는 B/BF₂ 등의 P형 불순물의 미온 주입이 필요하고, P형 전계 효과 트랜지스터에 대해서는 인/비소(phosphorus/arsenic) 등의 N형 불순물의 미온 주입이 필요하므로, 할로 미온 주입 공정 단계에서 서로 반대 극성의 트랜지스터 구조를 순상시키지 아니하기 위해서는 N형 전계 효과 트랜지스터와 P형 전계 효과 트랜지스터 각각에 대하여 서로 분리하여 할로 미온 공정을 진행하는 것이 바람직하다.

따라서, 전술한 미합중국 특허 제5,534,449호 및 제5,395,773호 등의 종래 기술에 따르면, N형 전계 효과 트랜지스터에 할로 구조를 적용하기 위하여 추가의 포토리소그래피 공정을 진행하여, P형 전계 효과 트랜지스터를 마스크 층으로 보호하고 봉소(boron) 할로 미온 주입을 수행하는 방법이 사용되고 있다.

그 결과, 종래 기술에 따른 할로 구조의 제조 방법은 할로 미온 주입 공정의 적용을 위하여 추가의 포토 마스크를 채용하여야 하는 공정상의 복잡성이 있다. 추가의 포토리소그래피 공정은 불량률을 증가시키고, 제조 원가를 증가시키게 된다.

그러나, 전술한 공정상의 번거러움을 해결하기 위해서 포토 마스크 단계를 생략하고 봉소 할로 미온 주입 공정을 웨이퍼 전면에 실시할 경우 P형 전계 효과 트랜지스터의 구조가 손상되는 문제점이 있다. 더욱이, 셀 트랜지스터에 봉소 할로 미온 주입이 수행되는 경우 셀 트랜지스터의 접합 누설 전류(junction leakage current)가 증가하고 접합 용량(junction capacitance)이 증가하는 문제점이 발생한다.

따라서, 본 발명의 제1 목적은 추가의 포토 마스크를 사용하지 않고 할로 구조를 적용할 수 있는 전계 효과 트랜지스터 및 그 제조 방법을 제공하는데 있다.

본 발명의 제2 목적은 상기 제1 목적에 부가하여, 전계 효과 트랜지스터의 특성을 열화시키지 않고 할로 구조를 적용할 수 있는 트랜지스터 및 그 제조 방법을 제공하는데 있다.

본 발명의 제3 목적은 상기 제1 목적에 부가하여, 반도체 메모리 회로의 셀 트랜지스터의 특성을 열화시키지 않고 할로 구조를 적용할 수 있는 트랜지스터 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작동

상기 목적을 달성하기 위하여 본 발명은 반도체 기판 상에 제1 도전형 전계 효과 트랜지스터와 제2 도전형 전계 효과 트랜지스터를 구비하고, 상기 제1 도전형 전계 효과 트랜지스터와 상기 제2 도전형 전계 효과 트랜지스터는 할로 구조를 지닌 씨모스 질적 회로의 제조 방법에 있어서, 상기 제1 도전형 전계 효과 트랜지스터를 위한 제2 도전형 웨爾 형성 과정에서 편치 쓰루 방지를 제2 도전형 불순물을 미온 주입하는 단계; 상기 제1 도전형 전계 효과 트랜지스터와 상기 제2 도전형 전계 효과 트랜지스터를 위한 게이트를 형성하는 단계; 상기 게이트에 자기 정렬하여 제2 도전형 도퍼트를 미온 주입함으로써 제2 도전형 저농도 확산 영역을 형성하는 단계; 상기 게이트의 양 측벽에 제1 게이트 스페이서를 형성하는 단계; 상기 게이트와 상기 제1 게이트 스페이서에 자기 정렬하여, 평균 미온 침투 거리를 상기 제2 도전형 저농도 확산 영역보다 깊이 침투되도록 미온 주입 에너지를 조절하여 제1 도전형 할로 미온 주입을 상기 제1 및 제2 도전형 웨爾에 대하여 상기 반도체 기판 전면에 수행하는 단계; 상기 제1 게이트 스페이서 양 측벽에 제2 게이트 스페이서를 형성하는 단계; 상기 게이트와, 상기 제1 및 제2 게이트 스페이서에 자기 정렬하여 고농도 확산 영역을 형성하는 단계를 포함하고, 상기 편치 쓰루 방지를 제2 도전형 도퍼트의 평균 미온 침투 거리는 후속하는 공정 단계인 상기 제1 도전형 할로 미온 주입 단계의 평균 미온 침투 거리와 근접하는 것을 특징으로 하는 반도체 장치의 제조 방법을 제공한다.

이하, 본 발명에 따른 할로 구조의 제조 방법의 양호한 실시예를 첨부 도면 제1도 내지 제4도를 참조하여 상세히 설명한다.

제1a도 내지 제1e도는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 나타낸 공정 단면도이다. 제1a도를 참조하면, 반도체 기판(100) 상에 P형 웨爾(well)을 정의하기 위하여 마스크 층(101)을 형성하고, N형 전계 효과 트랜지스터의 문턱 전압(threshold voltage) 제어를 위한 봉소(B) 미온 주입을 수행한다.

N형 전계 효과 트랜지스터의 문턱 전압(threshold voltage) 제어를 위하여 미온 주입된 봉소(B)의 프로파일을 상정적으로 도면 부호 70P로 나타내었다.

이어서, N형 전계 효과 트랜지스터의 편치 쓰루 방지를 위한 미온 주입(71P, 72P) 및 웨爾 형성을 위한 봉소(B) 미온 주입(102P, 103P) 공정이 진행된다. 제1a도의 도면에서 촘촘의 P형 웨爾(102P)은 셀 트랜지스터 제작을 위한 영역이고, 우측의 P형 웨爾(103P)은 주변 회로 영역의 N형 전계 효과 트랜지스터 제작을 위한 영역이다.

제1b도는 N형 웨爾의 제조 공정을 나타낸 단면도이다. 제1b도를 참조하면, N형 웨爾(104N)을 정의하기 위한 마스크 층(105)을 형성하고, P형 전계 효과 트랜지스터의 문턱 전압 조절용 불순을 미온 주입(80P), 카운터 도우핑(counter doping)을 위한 미온 주입(81N), 편치 쓰루 방지용 LIF 미온 주입(82N) 공정이 수행된다. 본 발명은 추가로 P형 웨爾을 제조할 때도 유사하게 적용된다.

본 발명에 따른 바람직한 실시예로서, P형 전계 효과 트랜지스터의 문턱 전압 조절용 채널 미온 주입은 BF₃를 이용하여 조절할 수 있으며, 편치 쓰루 방지용 LIF 미온 주입은 인(phosphorus)을 $4 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 의 도우스량으로 80~120 KeV의 에너지로 미온 주입할 수 있다.

또한, 본 발명의 실시예에 따른 카운터 도우핑 미온 주입 단계로서, 비소(arsenic)를 $2 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 의 도우스량으로 120~240 KeV의 에너지로 미온 주입할 수 있다.

본 발명의 바람직한 실시예에 따른 편치 쓰루 방지용 LIF 미온 주입 또는 카운터 도우핑 미온 주입 방법은, 주입되는 불순을 프로파일의 평균 침투 거리 (projected range: R₀)를 후속하는 봉소 할로 미온 주입 프로파일의 평균 침투 거리와 거의 일치하도록 함으로써, 추가 마스크를 사용하지 않고 웨이퍼 전면에 봉소 할로 미온 주입을 실시하여도 P형 전계 효과 트랜지스터의 단체널 효과를 방지할 수 있다.

제1c도는 본 발명의 실시예에 따라 게이트 형성 단계를 나타낸 도면이다. 제1c도를 참조하면, 소자 분리용 영역(106)이 형성되어 있고, 게이트 산화막(110)과 폴리실리콘(polysilicon) 게이트(107, 108, 109)가 형성되어 있다.

이어서, 셀 트랜지스터(cell transistor), 주변 회로 영역의 P형 전계 효과 트랜지스터 및 N형 전계 효과 트랜지스터의 폴리실리콘 게이트(107, 108, 109)에 자기 정렬(self-align)하여 저농도의 N형 불순물을 미온 주입 시킴으로써, N형 저농도 확산 영역(111N, 112N, 113N)을 형성한다.

본 발명에 따른 바람직한 실시예로서 저농도 확산 영역(111N, 112N, 113N)은 인(phosphorus)을 $1 \times 10^{10} \sim 5 \times 10^{10} \text{ cm}^{-2}$ 의 도우스량으로 20~40 KeV의 에너지로 미온 주입함으로써 형성할 수 있다.

셀 트랜지스터를 위한 P형 웨爾(102P) 영역에 형성된 저농도 확산 영역(113N)은 셀 트랜지스터의 소스 및 드레인으로 작용하게 되며, N형 전계 효과 트랜지스터를 위한 P형 웨爾(103P) 영역에 형성된 저농도 확산 영역(112N)은 N형 전계 효과 트랜지스터의 저농도 소스 및 드레인 (lightly-doped drain; LDD)으로 작용하게 된다.

또한, P형 전계 효과 트랜지스터를 위한 N형 웨爾(104N) 영역에 형성된 저농도 확산 영역(111N)은 후속 공정 진행을 완료한 후에 P형 전계 효과 트랜지스터의 할로 기능을 수행하게 된다.

제1d도는 N형 전계 효과 트랜지스터를 위한 할로 미온 주입을 수행하는 단계를 나타낸 도면이다. 제1d도를 참조하면, 제1c도의 공정 결과를 전면에 절연막을 도포하고 비등방성 식각을 수행함으로써, 게이트 전극 양 측벽에 제1 게이트 스페이서(120, 121, 122)를 형성한다.

여기서, 제1 게이트 스페이서를 사용하는 것은 마스크 없이 봉소 할로 미온 주입을 실시할 경우 P형 전계

효과 트랜지스터에 할로 미온(예를 들어, 봉소)이 확산되는 것을 방지하기 위한 목적이다. 본 발명에 따른 양호한 실시예에 따라, 상기 제1 게이트 스페이서의 두께를 조절함으로써 P형 전계 효과 트랜지스터의 항복 전압(BVDS)를 조절할 수 있다.

본 발명에 따른 바람직한 실시예로서, 제1 게이트 스페이서(120, 121, 122)를 위한 절연막으로서 실리콘 질화막을 100~300Å의 두께로 도포하여 사용할 수 있다. 이어서, 상기 게이트 풀리실리콘(107, 108, 109)과 제1 게이트 스페이서(120, 121, 122)를 자기 정렬 마스크로 사용하여, 추가의 포토리소그래피 공정을 진행하지 아니하고 할로 미온 주입(123P, 125P) 공정을 진행한다.

본 발명에 따른 할로 미온 주입 공정 단계는 종래 기술과 달리 추가의 마스크를 사용하지 않고, 편지 쓰루 방지용 할로 미온 주입을 실시하는데 특징이 있다. 본 발명에 따른 바람직한 실시예로서, 할로 미온 주입 공정을 위하여 봉소(B)를 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 의 도우스량으로 20~60 KeV 의 에너지로 미온 주입할 수 있다.

제1e도는 본 발명의 양호한 실시예에 따라 고농도 소스 및 드레인을 형성하는 과정을 나타낸 도면이다. 제1e도를 참조하면, 반도체 기판 전면에 절연막을 도포하고 비등방성 석각을 수행함으로써 제2 게이트 스페이서(130, 131, 132)를 형성한다.

본 발명에 따른 바람직한 실시예로서, 제2 게이트 스페이서(130, 131, 132)는 제1 게이트 스페이서(120, 121, 122) 양 측벽에 실리콘 산화막 또는 실리콘 질화막을 200~500Å 도포하고 비등방성 석각을 수행함으로써 형성할 수 있다.

이어서, 게이트 전극 및 제1, 제2 게이트 스페이서에 자기 정렬하여 고농도 불순물을 미온 주입하여 P형 전계 효과 트랜지스터의 P형 고농도 소스 및 드레인(140P), N형 전계 효과 트랜지스터의 N형 소스 및 드레인(141N)을 형성한다.

본 발명에 따른 바람직한 실시예로서, N형 고농도 불순을 미온 주입 단계에서 셀 트랜지스터 영역은 마스크 층으로 보호함으로써 고농도 소스 및 드레인이 형성되는 것을 방지할 수 있다.

다시 제1e도를 참조하면, P형 웨(103P) 내에 제2 게이트 스페이서(132)에 자기 정렬되어 N⁺ 고농도 소스 및 드레인(141N)이 형성되어 있으며, N⁺ 고농도 소스 및 드레인(141N)의 주변에 채널 방향으로 P형 할로 구조(125P)가 형성되어 있다. 또한, N⁺ 저농도 소스 및 드레인(112N)이 형성되어 있다.

한편, N형 웨(104N) 내에 제2 게이트 스페이서(131)에 자기 정렬되어 P⁺ 고농도 소스 및 드레인(140P)이 형성되어 있으며, P⁺ 고농도 소스 및 드레인(140P)의 주변에 채널 방향으로 N형 할로 구조(111N)가 형성되어 있다.

이 때에, N형 전계 효과 트랜지스터의 할로 구조 형성을 위해 전면에 주입된 봉소 미온은 공정 전 단계에서 주입되어 존재하는 N형 카운터 도우필(81N) 및 LIF 미온(82N)에 의해 캠펜세이션(compensation)되어 제1e도의 N형 웨(104N)에는 드러나지 않는다.

셀 트랜지스터를 위한 P형 웨(102P)은 N⁺ 고농도 소스 및 드레인 형성 단계에서 마스크 층으로 보호함으로써 N⁺ 고농도 소스 및 드레인 형성을 방지할 수 있다. N⁺ 소스 및 드레인(113N)과 P형 할로 구조(123P)가 형성되어 있다.

제1e도에서 상술한 본 발명에 따른 할로 구조의 형성 방법은 종래 기술에 따른 제조 방법과는 달리, N형 전계 효과 트랜지스터용 할로 구조 형성을 위하여 추가로 마스크를 한 장 사용하지 않는 장점을 보유하고 있으며, 할로 미온 주입 단계에서 웨이퍼 전면에 노출되므로 P형 전계 효과 트랜지스터의 구조가 손상될 수 있는 문제점은 웨 형성 단계에서 As 카운터 도우필과 LIF 편지 쓰루 방지용으로 미온 주입된 불순물의 평균 침투 거리와 후속 할로 미온 주입 단계의 불순을 평균 침투 거리를 거의 일치시킴으로써 해결하고 있다.

이와 같은 본 발명의 문제점을 해결 수단을 첨부하는 제2도를 참조하여 상세히 설명한다.

제2도를 참조하면, N형 웨(104N) 내에 웨 형성 단계에서 미온 주입된 문턱 전압 조절용 봉소 미온 주입 층(80P), 카운터 도핑용 비소(arsenic) 미온 주입 층(81N) 및 편지 쓰루 방지용 LIF 막(phosphorus) 미온 주입(82N)이 형성되어 있다. 또한, 게이트 전극(108) 양측 벽에는 제1 게이트 스페이서(121)가 형성되어 있고, N형 저농도 드레인(111N)이 형성되어 있다.

본 발명에 따른 양호한 실시예로서, 카운터 도핑용 As 미온 주입 층(81N)과 편지 쓰루 방지용 LIF 층(82N)을 위한 N형 불순을 미온 주입시에 N형 불순물의 평균 침투 거리(projected range; R_p)를 후속 진행하는 할로(HALO) 미온 주입 단계의 P형 불순물의 평균 침투 거리와 거의 일치시킴으로써 P형 전계 효과 트랜지스터의 특성 열화 문제를 해결할 수 있다.

그 결과, N형 저농도 드레인(111N)의 하부에 형성될 할로 봉소 미온은 전술한 카운터 도핑용 As 미온 주입 층(81N)과 편지 쓰루 방지용 LIF 층(82N)을 위한 N형 불순을 미온에 의해 캠펜세이션되어 노면 상에 나타나지 않는다.

제2도를 참조하면, 비소 카운터 도우필 층(81N)과 편지 쓰루 방지용 LIF 층(82N)은 할로 봉소 미온 주입 층(80P)과 편지 쓰루 방지용 LIF 층(82N)을 위한 N형 불순을 미온에 의해 캠펜세이션되었으므로, 노면에 여전히 N형 영역(81N, 82N)으로 남게 된다.

제3도는 본 발명에 따라 제조된 할로 구조의 주변 회로 영역의 N형 전계 효과 트랜지스터의 단면을 나타낸 도면이다. 제3도를 참조하면, P형 웨(103P) 내에 N형 전계 효과 트랜지스터가 형성되어 있다. N형 전계 효과 트랜지스터는 N⁺ 저농도 드레인(112N)과 N⁺ 고농도 드레인(141N) 및 할로 구조(125P)를 구비하

고 있다.

한편, 본 발명에 따라 봉소(B) 할로 이온 주입을 반도체 기판 전면에 실시할 경우, 셀 영역의 트랜지스터는 접합 누설 전류의 증가 또는 접합 용량의 증가 문제를 겪을 수 있다.

제4도는 본 발명에 따라 제조된 셀 트랜지스터의 단면을 나타낸 도면이다. 제4도를 참조하면, P형 웨(102P) 내에 N 저농도 드레인(113N), 할로 층(123P) 및 제1, 제2 게이트 스페이서(120, 130)를 구비한 셀 트랜지스터가 도시되어 있다.

본 발명의 양호한 실시예에 따라, 셀 트랜지스터의 드레인 접합 누설 전류의 증가 및 접합 용량의 증가를 방지하기 위하여 편치 쓰루 방지용 미온 주입 층을 형성하는 단계를 채용하지 않을 수 있다.

또한, 셀 트랜지스터의 문턱 전압이 할로 이온 주입으로 인하여 증가할 경우, 문턱 전압 조절용 채널 미온 주입 단계에서 BF₃ 또는 봉소(B)의 도우스를 조절하여 해결할 수 있다.

전술한 내용은 후술할 발명의 특허 청구 범위를 보다 잘 이해할 수 있도록 본 발명의 특징과 기술적 장점을 다소 폭넓게 개설하였다. 본 발명의 특허 청구 범위를 '구성하는 부가적인 특징과 장점들이 미하에서 상술될 것이다.' 개시된 본 발명의 개념과 특징 실시예는 본 발명과 유사 목적을 수행하기 위한 다른 구조의 설계나 수정의 기본으로서 즉시 사용될 수 있음이 당해 기술 분야의 숙련된 사람들에 의해 인식되어야 한다.

또한, 본 발명에서 개시된 발명 개념과 실시예가 본 발명의 동일 목적을 수행하기 위하여 다른 구조로 수정하거나 설계하기 위한 기초로서 당해 기술 분야의 숙련된 사람들에 의해 사용되어질 수 있을 것이다. 또한, 당해 기술 분야의 숙련된 사람에 의한 그와 같은 수정 또는 변경된 등가 구조는 특허 청구 범위에서 기술한 발명의 사상이나 범위를 벗어나지 않는 한도 내에서 다양한 변화, 치환 및 변경이 가능하다.

발명의 효과

이상과 같이, 본 발명에 따른 할로 구조의 제조 방법은 추가의 포토리소그래피, 공정 없이 N형 전계 효과 트랜지스터에 할로 구조를 적용할 수 있으며, P형 전계 효과 트랜지스터의 웨 형성 단계에서 수행하는 비소 카운터 도우스 미온 주입 층과 편치 쓰루 방지용 미온 주입 층의 평균 침투 거리를 봉소 할로 미온 분포에 거의 일치시킴으로써, P형 전계 효과 트랜지스터의 특성 열화를 방지할 수 있다.

또한, 셀 트랜지스터를 위한 웨 형성 단계에서 편치 쓰루 방지용 미온 주입 공정을 생략함으로써, 할로 봉소 미온으로 인한 접합 누설 전류 및 접합 용량의 증가를 방지할 수 있다.

그 결과, 본 발명에 따른 할로 구조 제조 방법은 포토 마스크 작업을 제거함으로써 공정을 단순화함과 동시에, 게이트 길이가 미세한 경우에도 편치 쓰루를 방지할 수 있는 견고한 특성의 전계 효과 트랜지스터를 제작할 수 있다.

(5) 청구의 범위

청구항 1. 반도체 기판 상에 할로 구조를 구비한 반도체 접점 회로를 제조하는 방법은 상기 반도체 기판 상에 제1 도전형 트랜지스터가 형성될 제2 도전형 웨과 제2 도전형 트랜지스터가 형성될 제1 도전형 웨를 형성하는 단계에 있어서,

상기 제2 도전형 웨를 형성하는 단계는 불순물의 침투 거리가 흐려지며 진행될 할로 미온 주입 단계에서의 제1 도전형 불순물의 평균 침투 거리에 근접하도록 편치 쓰루 방지용 불순물을 미온 주입하는 단계와;

상기 반도체 기판 상에 상기 제1 및 제2 도전형 전계 효과 트랜지스터의 게이트 전극을 형성하는 단계와;

상기 게이트에 자기 정렬되어 제2 도전형 제1 농도 확산 영역을 형성하는 단계와;

상기 게이트 전극 양 측벽에 제1 게이트 스페이서를 형성하는 단계와;

상기 제1 및 제2 도전형 웨의 전면에 제1 도전형 불순물을 할로 미온 주입하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 2. 제1항에 있어서, 상기 편치 쓰루 방지용 불순물을 미온 주입하는 단계는 카운터 도우스 불순물을 미온 주입하는 단계를 더 포함하는 반도체 장치의 제조 방법.

청구항 3. 제1항에 있어서, 상기 제1 도전형 불순물을 미온 주입하는 단계 이후에,

상기 제1 스페이서 양 측벽에 제2 게이트 스페이서를 형성하는 단계와;

상기 게이트 전극과 상기 제1 및 제2 게이트 스페이서에 자기 정렬하여 제2 농도 불순물을 미온 주입하는 단계,

를 더 포함하는 반도체 장치의 제조 방법.

청구항 4. 제1항에 있어서, 상기 편치 쓰루 방지용 불순물을 미온 주입하는 단계는 인(phosphorus)을 $4 \times 10^{12} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 범위의 도우스량으로 80~120 KeV의 에너지로 미온 주입하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 5. 제2항에 있어서, 상기 카운터 도우스 불순물을 미온 주입하는 단계는 비소(arsenic)를 $2 \times 10^{12} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 의 도우스량으로 120~240 KeV의 에너지로 미온 주입하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 6. 제1항에 있어서, 상기 제1 및 제2 도전형 웨일의 전면에 대하여 제1 도전형 불순률 할로 이온 주입하는 단계는 봉소(B)를 $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 의 도우스량으로 20~60 KeV 의 에너지로 이온 주입하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 7. 제1항에 있어서, 상기 제1 및 제2 도전형 웨일의 전면에 대하여 제1 도전형 불순률 할로 이온 주입하는 단계는 제1 도전형 불순률을, 그 평균 침투 거리가 상기 제2 도전형 저농도 확산 영역의 하부에 위치하도록 이온 주입하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8. 제1항에 있어서, 상기 제1 게이트 스페이서를 형성하는 단계는,

절연막을 100~300 Å 두께로 도포하는 단계;

상기 실리콘 질화막을 비등방성 식각하여 상기 게이트 양 측벽에 실리콘 질화막 스페이서를 형성하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 9. 제8항에 있어서, 상기 절연막을 100~300 Å 두께로 도포하는 단계는 실리콘 질화막을 100~300 Å 두께로 도포하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 10. 제3항에 있어서, 상기 제2 게이트 스페이서를 형성하는 단계는,

상기 게이트 및 상기 제1 게이트 스페이서 상부에 절연막을 200~500 Å 두께로 도포하는 단계;

상기 실리콘 질화막을 비등방성 식각하여 상기 제1 게이트 스페이서 양 측벽에 제2 게이트 스페이서를 형성하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 11. 제10항에 있어서, 상기 게이트 및 상기 제1 게이트 스페이서 상부에 절연막을 200~500 Å 두께로 도포하는 단계는 실리콘 질화막을 상기 게이트 및 상기 제1 게이트 스페이서 상부에 200~500 Å 두께로 도포하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 12. 제1항에 있어서, 상기 제1 도전형 웨일에 형성되는 제2 도전형 트랜지스터의 임계 전압은 할로 이온 주입 불순률에 의해 조절되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13. 반도체 기판 상에 할로 구조를 구비한 제1 및 제2 도전형 전계 효과 트랜지스터에 있어서, 상기 기판 상에 형성된 상기 제1 및 제2 도전형 전계 효과 트랜지스터의 게이트 전극과;

상기 게이트에 자기 정렬되어 상기 게이트 하부에 채널 방향으로 형성된 제2 도전형 제1농도 확산 영역과;

상기 게이트 양 측벽에 형성된 제1 게이트 스페이서와;

상기 제2 도전형 트랜지스터의 소스 및 드레인 측면에 상기 제1 게이트 스페이서와 상기 게이트를 마스크로 하여 상기 반도체 기판 전면에 제1 도전형 불순률을 이온 주입하여 형성된 제1 도전형 할로 영역과;

상기 제1 도전형 전계 효과 트랜지스터의 게이트 하부에 형성되고, 상기 제1 도전형 할로 영역 형성을 위하여 주입된 상기 제1 도전형 불순률을 컴펜세이션 시킬 수 있도록, 상기 제1 도전형 불순률 이온의 평균 침투 거리에 근접하도록 이온 주입된 편치 쓰루 방지용 제2 도전형 불순률 영역

을 포함하는 반도체 장치.

청구항 14. 제13항에 있어서, 상기 편치 쓰루 방지용 제2 도전형 불순률 영역은 카운터 도우팅을 제2 도전형 불순률 영역을 더 포함하는 반도체 장치.

청구항 15. 제13항에 있어서, 상기 제1 게이트 스페이서 양 측벽에 제2 게이트 스페이서와;

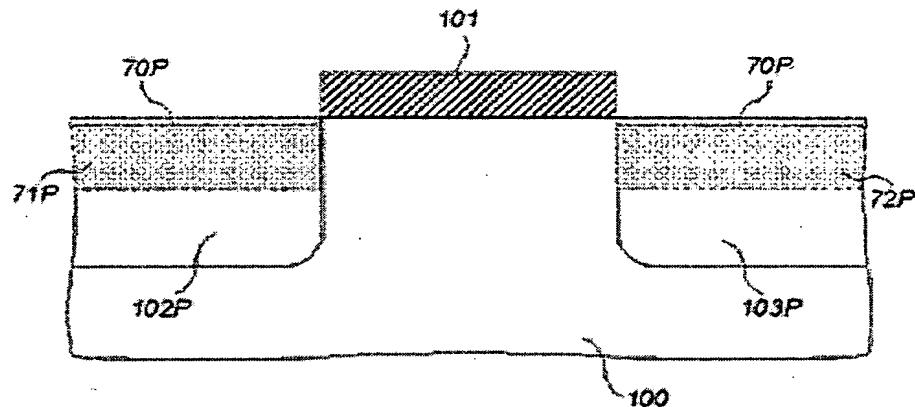
상기 제2 게이트 스페이서에 자기 정렬된 제2 농도 불순률 영역

를 더 포함하는 반도체 장치.

도면

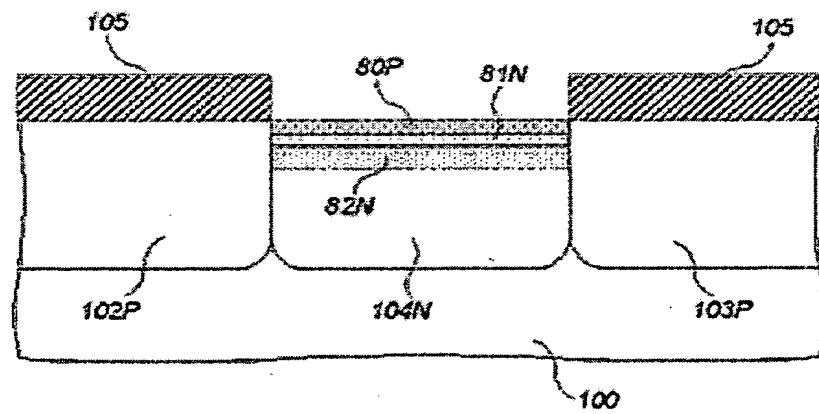
도면 10

← P형 툴먼지스터 → N형 툴먼지스터 →



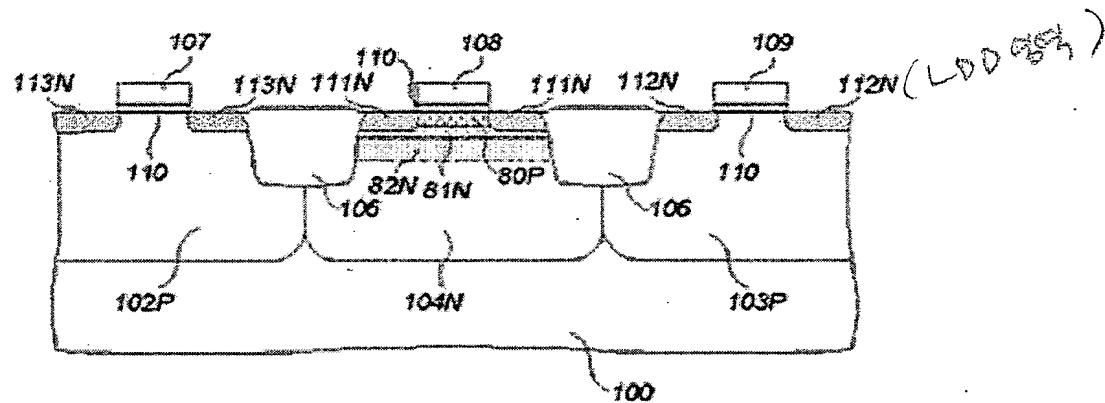
도면 11

← P형 툴먼지스터 → N형 툴먼지스터 →



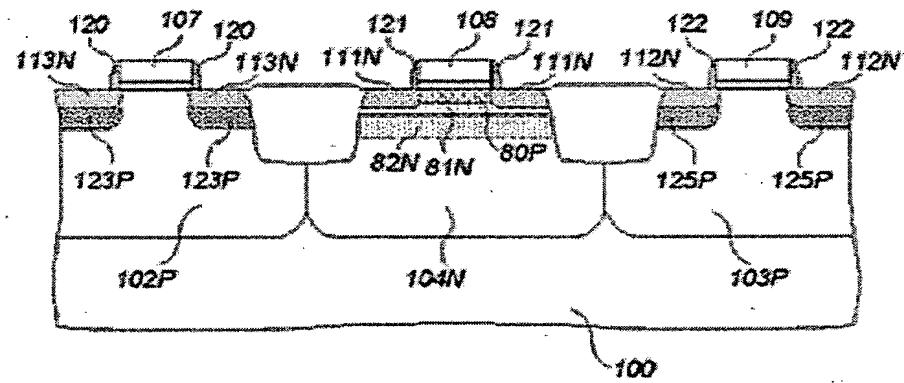
도면 1b

← N형 툴먼제스터 → P형 툴먼제스터 ← N형 툴먼제스터 →

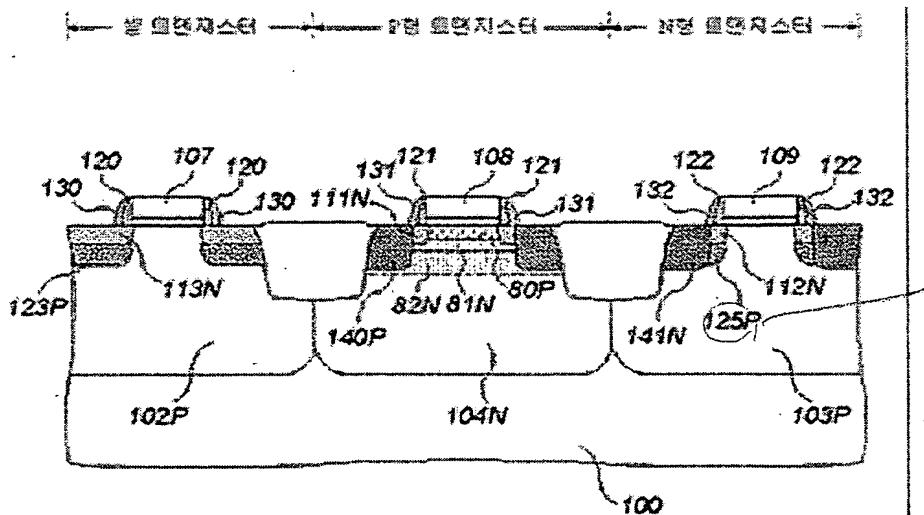


도면 1d

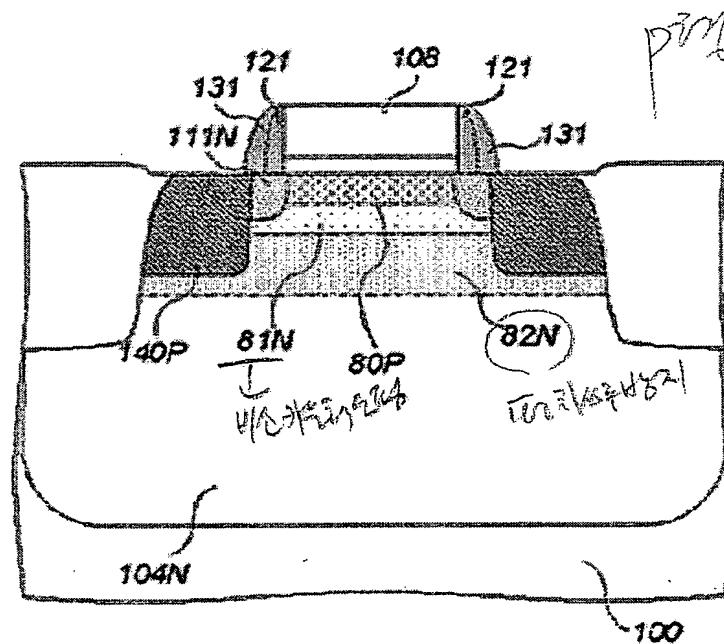
← N형 툴먼제스터 → P형 툴먼제스터 ← N형 툴먼제스터 →



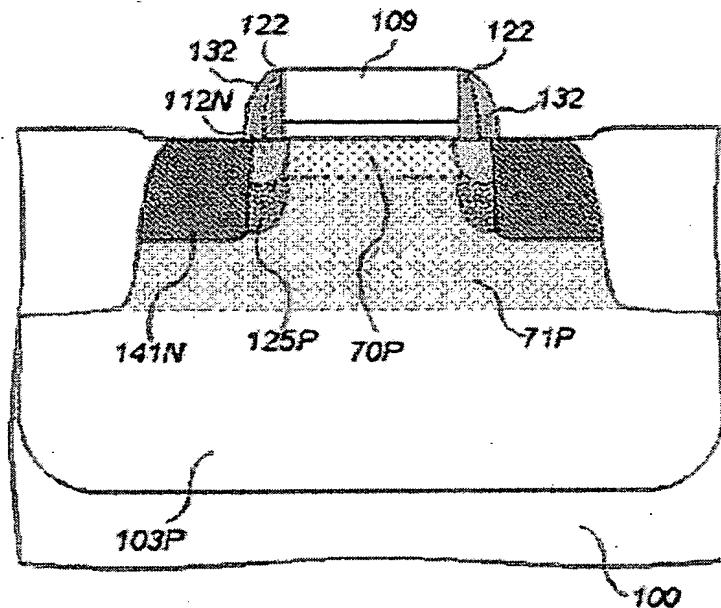
도면 1



도면 2



583



584

